### 招聘岗位及专业

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| 需求部门 | 岗位名称 | 专业 | 学历 | 招聘数量 |  |
|  |
| 财务部 | 财务管理 | 会计学、财务管理等相关专业 | 硕士研究生及以上学历 | 2 |  |
| 系统工程部 | 通信微系统开发主研  （射频微系统方向） | 射频、微波及通信等相关专业 | 硕士研究生及以上学历，  博士学历者优先考虑 | 2 |  |
| 系统软件设计主研  （光电集成系统应用软件方向） | 计算机/软件等相关专业 | 硕士研究生及以上学历，  博士学历者优先考虑 | 2 |  |
| 模块与系统  集成事业部 | 电源开发 | 电力电子、电子工程等相关专业 | 硕士研究生及以上学历 | 2 |  |
| 模拟集成电路  设计事业部 | 混合信号ASIC/SoC  产品设计 | 微电子等相关专业 | 硕士研究生及以上学历 | 3 |  |
| 微波射频集成电路  产品设计 | 射频、微波及通信等相关专业 | 硕士研究生及以上学历 | 2 |  |
| 模拟/混合集成电路  技术研究室 | 电路系统  架构设计 | 电路与系统、  集成电路等相关专业 | 博士研究生及以上学历 | 1 |  |
| 微波事业部 | 大功率微波电路设计 | 电磁场与微波、  电子工程等专业 | 硕士研究生及以上学历，博士优先考虑 | 2 |  |
| 射频微系统电路设计 | 电磁场与微波、  射频等专业 | 硕士研究生及以上学历，博士优先考虑 | 2 |  |
| 无线电设计/  数字电路设计 | 电路与系统、  信号与信息处理等专业 | 硕士研究生及以上学历，博士优先考虑 | 2 |  |
| 微声事业部 | 集成电路设计 | 电子工程、电路与系统相关专业 | 博士研究生及以上学历 | 1 |  |
| 固体图像传  感器事业部 | CMOS电路系统架构设计 | 微电子及相关专业 | 博士研究生及以上学历 | 1 |  |
| CMOS模拟IC/IP  产品设计 | 微电子及相关专业 | 硕士研究生及以上学历 | 2 |  |
| 化合物半导体  光电子事业部 | 光子集成芯片设计 | 光电子、半导体器件等相关专业 | 博士研究生及以上学历 | 1 |  |
| 化合物半导体  外延材料生长 | 半导体材料、微电子等相关专业 | 博士研究生及以上学历 | 1 |  |
| 信号读出电路设计 | 集成电路设计等相关专业 | 博士研究生及以上学历 | 1 |  |
| 光传输与处  理事业部 | 光子集成设计 | 光电子、光纤通信技术等相关专业 | 博士研究生及以上学历 | 2 |  |
| 微波光子设计 | 电磁场与微波、光电子技术等相关专业 | 博士研究生及以上学历 | 1 |  |
| 光传输与处理  产品设计 | 通信、微波工程、电路与系统及机械电子等相关专业 | 硕士研究生及以上学历 | 6 |  |
| 集成光学  事业部 | 微波封装工艺师  （铌酸锂高速调制器） | 电磁场与微波、射频等相关专业 | 硕士研究生及以上学历 | 1 |  |
| 工程部 | 软件设计 | 计算机及软件等相关专业 | 硕士研究生及以上学历 | 1 |  |
| 硬件开发  （汽车电子） | 机电一体化等相关专业 | 硕士研究生及以上学历 | 1 |  |

### 博士后科研工作站招聘博士后项目表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 项目名称 | 研究目标 | 主要研究内容 | 技术指标 | 研究周期 |
| 深亚微米模拟集成电路辐照机理及加固技术研究 | 通过电路辐照机理、辐照试验分析，提出典型模拟电路的抗辐照加固设计方法和关键技术。 | 基于深亚微米CMOS工艺，开展模拟集成电路的辐照机理研究，进行电路的总剂量、单粒子辐照试验，通过试验数据分析和理论研究，提出模拟电路的抗辐照设计方法，形成关键技术。 | 基于65nmCMOS工艺，开展混合信号电路典型模拟单元电路的抗辐照技术研究，研究总剂量辐照下电路性能变化及加固方法，研究单粒子辐照下各种单粒子效应及加固方法；申请专利2项以上；国内一级刊物或国际期刊或会议发表文章不少于2篇。 | 2016~2018 |
| 深亚微米低功耗高速流水线型A/D转换器设计技术 | 通过结构设计、单元电路设计创新，突破先进工艺条件下低功耗的流水线型高性能A/D转换器关键设计技术。 | 基于65~28nmCMOS工艺，开展低功耗流水线型A/D转换器研究，研究功率优化的途径、低功耗结构和模拟单元设计方法，设计转换器电路并流片验证，形成低功耗设计关键技术。 | 基于65~28nmCMOS工艺，研究带宽需求30GHz及以上的高性能放大器设计、增益补偿、PVT适应性及校正、建立补偿、功耗优化、流水线核心设计及校正等关键技术，申请国际/国内专利2~3项，国内一级刊物或国际期刊或会议发表文章不少于2篇。 | 2016~2018 |
| 深亚微米超低功耗SAR型转换器研究 | 通过结构设计、单元电路设计创新，研制具有极低功耗的SAR结构高性能转换器。 | 基于65~28nmCMOS工艺，开展超低功耗SAR型A/D转换器研究，研究功率优化的途径、低功耗结构和单元设计方法，设计转换器电路并流片验证，形成低功耗设计关键技术。 | 基于65~28nmCMOS工艺，研究转换时间小于800ps的高速低功耗SAR核心电路设计技术，FoM小于50fJ/conv,申请国际/国内专利1~2项，国内一级刊物或国际期刊或会议发表文章不少于1篇。 | 2016~2018 |
| 时间交织采样转换器后台均衡校正算法研究 | 大于16通道的密集通道时间交织采样ADC后台均衡算法研究。 | 研究密集通道时间交织采样ADC高效后台均衡可适应性鲁棒算法，通过算法研究、仿真验证、编码实现、测试验证，形成可应用的高效数字均衡关键技术。 | 均衡方法：后台在线校正/唤醒式校正，后台校正时间较短，校正后具有适应性和鲁棒性，校正后的谐波降低10dB以上，通道间失配引起的谐波小于器件本身奇次谐波，噪声损失小于1dB；申请国际/国内专利1~2项，国内一级刊物或国际期刊或会议发表文章不少于1篇。 | 2016~2018 |
| 超高速转换器关键单元研究 | 研究射频采样超高速A/D的缓冲器、时钟等关键电路设计技术，实现15-30GHz带宽缓冲器、小于45fs抖动时钟接收、相位一致性小于0.2ps的多相时钟产生电路技术。 | 基于65~28nmCMOS工艺，突破超高速电路缓冲器、时钟接收、多相时钟产生、转换后Tbps级数字数据存储与缓冲技术研究，形成可实用化的设计技术。 | 基于65~28nmCMOS工艺，缓冲器带宽15-30GHz、时钟接收抖动小于45fs、相位一致性小于0.2ps、数据缓存量大于0.4Tbps。 | 2016~2018 |
| 射频与模拟前端集成化技术 | 研究射频前端与模拟基带集成技术、可配置射频集成技术。 | 基于CMOS或者SiGeBiCMOS技术，研究射频前端可配置可选择射频阵列技术，实现单片宽频域覆盖、软件可选择可配置，研究射频与模拟集成技术，型号曾可实用的设计技术。 | 基于CMOS或者SiGeBiCMOS技术，集成8路以上可射频模块，开关损耗小于0.2dB，频率覆盖K/Ka波段以下。 | 2016~2018 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 项目名称 | 研究目标 | 主要研究内容 | 技术指标 | 研究周期 |
| IPM模块高效率驱动技术研究 | 掌握IPM模块低静态损耗的驱动技术。 | 研究驱动线路结构，对IPM模块的驱动线路结构进行深入研究，获得安全、高效的驱动控制方案。 | 集电极-发射极耐压：600V；  持续输出电流：150A；  功率级静态损耗：≤1W（PWM频率12.5kHz，占空比50%高低边调制、54V、空载）；  具备完善的过流保护功能；  申请专利1项以上或者国内一级刊物或国际期刊或会议发表文章不少于1篇。 | 2016~2018 |
| 微波组件小型化高密度互联技术（层间互联） | 掌握微波小型化高密度互联关键技术。 | 微波模块多层互联基板技术研究；无源结构研究。 | LTCC基板层间垂直互联，频率范围：Ku波段，插入损耗≤1.5dB，驻波≤2；  国内一级刊物或国际期刊或会议发表文章不少于1篇。 | 2016~2018 |
| 微波组件小型化高密度互联技术（板间互联） | 掌握微波小型化高密度互联关键技术。 | 微波模块高密度板级三维垂直微波互联技术研究。 | LTCC基板板间垂直互联（板间距≤1mm），频率范围：Ku波段，插入损耗≤3dB，驻波≤2.2；  国内一级刊物或国际期刊或会议发表文章不少于1篇。 | 2016~2018 |
| 快捷变间接式频率综合成技术研究 | 研究间接式频率合成技术的锁定机理，获得减小频率锁定时间的关键技术。 | 间接式频率合成技术频率锁定机理分析；快捷变间接式频率合成技术方法研究。 | 频率范围：2~18GHz；  频率建立时间（2/18GHz跳变）：≤1μs；  国内一级刊物或国际期刊或会议发表文章不少于1篇。 | 2016~2018 |
| 嵌入式存储器内建自测试和自修复技术应用研究 | 掌握SoC设计中嵌入式存储器的内建自测试和自修复设计实现与应用测试实现技术。 | SRAM单元/阵列的失效故障模型建立，内建自测试向量产生算法设计，内建冗余分析和自修复策略方案设计，存储器内建自测试和自修复电路设计实现与仿真验证，带冗余存储单元的存储器设计，存储器内建自测试和自修复电路在SoC中的集成设计实现，验证设计流片与应用测试分析。 | 基于90nm以下深亚微米工艺开展嵌入式存储器（SRAM/Flash等）的内建自测试和自修复电路设计实现，在超过50万门规模的电路中实现集成设计，流片后并实现应用测试验证；申请国内/国际专利1项，国内一级刊物或国际期刊或会议发表文章1篇以上。 | 2016~2018 |
| 三相PFC技术 | 掌握三相PFC高效功率因数校正拓扑结构及核心控制算法。 | 开展三相PFC高效拓扑结构设计技术研究；开展核心控制算法研究。 | 频率45Hz~800Hz；输出功率1500W；THD≤2%；功率因素≥0.98；  申请专利2项、发表一级期刊论文2篇以上。 | 2016~2018 |